

**SEMICONDUCTOR DEVICE**

Patent Number: JP9270700  
Publication date: 1997-10-14  
Inventor(s): MUTO TAKASHI;; TAKAHASHI TOSHIRO  
Applicant(s): HITACHI LTD  
Requested Patent: ☐ JP9270700  
Application Number: JP19960101942 19960401  
Priority Number(s):  
IPC Classification: H03K19/0185; H03K19/0175; H03K19/0948  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PROBLEM TO BE SOLVED:** To attain a high speed cycle time for a logic integrated circuit device or the like by making selectively conductive any of MOSFETs based on a result of discrimination of level so as to set a DC level of a drain voltage of differential MOSFETs higher or lower.

**SOLUTION:** When a level of an input signal  $V_{in}$  is at a low level  $V_{iL}$  in terms of GTL level lower than a reference voltage  $V_{ref}$ , a source-drain voltage of a differential MOSFET P3 in a GTL input circuit is smaller than that of a MOSFET P4, a level of an internal node n1 is set to a higher level  $v3$  than a logic threshold voltage  $V_{TL1}$  of an inverter V1 and a level of an output signal signal of the inverter V1, that is, a level at an internal node n2 is at a low level in terms of CMOS level like a ground level  $V_{SS}$ . Furthermore, a level of an output signal  $V_{out}$  of the GTL input circuit is set to a high level in terms of CMOS level like a power supply voltage  $V_{CC}$ , and a level of an output signal  $V_{out}$  of a delay circuit DL1, that is a level at an internal node n3 is set to a high level in terms of CMOS level like a power supply voltage  $V_{CC}$ .

---

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 9 - 2 7 0 7 0 0

(43) 公開日 平成 9 年 (1997) 10 月 14 日

(51) Int. Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K	19/0185		H 0 3 K	19/00 1 0 1 D
	19/0175			1 0 1 F
	19/0948		19/094	B

審査請求 未請求 請求項の数 3

F D

(全 8 頁)

(21) 出願番号 特願平 8-101942

(22) 出願日 平成 8 年 (1996) 4 月 1 日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72) 発明者 武藤 隆

東京都青梅市今井 2326 番地 株式会社日立  
製作所デバイス開発センタ内

(72) 発明者 高橋 敏郎

東京都青梅市今井 2326 番地 株式会社日立  
製作所デバイス開発センタ内

(74) 代理人 弁理士 徳若 光政

(54) 【発明の名称】 半導体装置

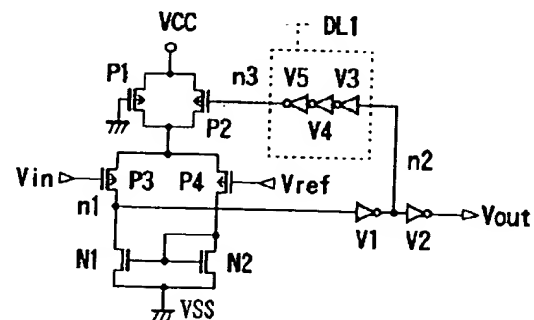
(57) 【要約】

【課題】 特にチップ間信号伝達に供される G T L 入力回路の動作を高速化し、これを含む論理集積回路装置等の高速化を図る。

【解決手段】 少なくともその一方のゲートに G T L レベルの入力信号  $V_{in}$  を受ける差動 MOS F E T P 3 及び P 4 と、これらの差動 MOS F E T に動作電流を供給する MOS F E T P 1 と、インバータ V 1 からなりその論理スレッシホルド電圧をもって差動 MOS F E T のドレインつまり内部ノード n 1 における電位の論理レベルを判定するレベル判定回路とを含む G T L 入力回路に、例えばそのゲートにレベル判定回路であるインバータ V 1 の出力信号の遅延回路 D L 1 による反転遅延信号を受ける MOS F E T P 2 を上記 MOS F E T P 1 と並列形態に設け、レベル判定回路つまりインバータ V 1 のレベル判定結果に従ってこれを選択的にオン状態とする。これにより、差動 MOS F E T のドレイン電圧の直流レベルを選択的に高く又は低くして、内部ノード n 1 のロウレベル又はハイレベルを選択的にインバータ V 1 の論理スレッシホルド電圧に近づける。

図 1

G T L 入力回路の回路構成 (実施例 1)



## 【特許請求の範囲】

【請求項1】 少なくともその一方のゲートに入力信号を受ける差動MOSFETと、上記差動MOSFETに動作電流を供給する第1のMOSFETと、所定の論理スレッシホールド電圧をもって上記差動MOSFETのドレイン電圧の論理レベルを判定するレベル判定回路と、上記レベル判定回路によりロウレベルが判定されたとき上記差動MOSFETのドレイン電圧の直流レベルを所定値だけ高くし、ハイレベルが判定されたとき所定値だけ低くするレベル制御手段とを含む入力回路を具備することを特徴とする半導体装置。

【請求項2】 上記レベル判定回路は、CMOSインバータからなるものであって、上記レベル制御手段は、上記第1のMOSFETと並列形態に設けられそのゲートに上記レベル判定回路の出力信号の反転遅延信号を受ける第2のMOSFETからなるものであることを特徴とする請求項1の半導体装置。

【請求項3】 上記入力回路は、GTL入力回路であって、上記差動MOSFETのドレイン側には、電流ミラー形態の負荷MOSFETが設けられるものであることを特徴とする請求項1又は請求項2の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明は半導体装置に関し、例えば、GTL (Gunning Transceiver Logic) レベルでチップ間信号を伝達する論理集積回路装置ならびにその高速化に利用して特に有効な技術に関する。

## 【0002】

【従来の技術】 0.8V (ボルト) 程度の小さな振幅のいわゆるGTLレベルでデジタル信号を授受するGTLインターフェイスがあり、GTLレベルでチップ間信号を伝達する論理集積回路装置等の半導体装置がある。GTLレベルのチップ間信号を受ける論理集積回路装置等には、例えば図7に示されるように、差動形態とされるPチャンネル型の一对の差動MOSFET (金属酸化物半導体型電界効果トランジスタ。この明細書では、MOSFETをして絶縁ゲート型電界効果トランジスタの総称とする) P8及びP9と、電流ミラー形態とされるNチャンネル型の一对の負荷MOSFET N7及びN8とを含むいわゆるCMOS (相補型MOS) 差動増幅型のGTL入力回路が各入力信号に対応して設けられる。

## 【0003】

【発明が解決しようとする課題】 GTLインターフェイスを採る従来の論理集積回路装置等において、GTL入力回路の差動MOSFET P8及びP9のドレインつまり内部ノードn7の電位は、図8及び図9に例示されるように、それぞれ比較的絶対値の小さな電位v9及びv10をそのロウレベル及びハイレベルとする。また、論理集積回路装置等は、CMOS回路をその基本構成素子

とし、GTL入力回路は、その振幅が充分ではない内部ノードn7の電位を電源電圧VCC及び接地電位VSS間でフルスイングされるいわゆるCMOSレベルに拡大するためのインバータV11及びV12を含む。このとき、インバータV11は、内部ノードn7の論理レベルを判定するためのレベル判定回路として作用するが、その実質的な論理スレッシホールド電圧VTL11は、論理レベルの遷移方向に関係なく一定とされる。これらの結果、入力信号Vinがハイレベル又はロウレベルとされてからGTL入力回路の出力信号Voutがロウレベル又はハイレベルとされるまでの間には、比較的大きな遅延時間t5及びt6が必要となり、これによって論理集積回路装置等のサイクルタイムの高速化が制約を受けるものである。

【0004】 この発明の目的は、特にチップ間信号伝達に供されるGTL入力回路の動作を高速化し、これを含む論理集積回路装置等の高速化を図ることにある。

【0005】 この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述及び添付図面から明らかになるであろう。

## 【0006】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、次の通りである。すなわち、GTLレベルでチップ間信号を伝達する論理集積回路装置等に搭載され、少なくともその一方のゲートにGTLレベルの入力信号を受ける差動MOSFETと、これらの差動MOSFETに動作電流を供給する第1のMOSFETと、インバータ等からなりその論理スレッシホールド電圧をもって差動MOSFETのドレイン電圧の論理レベルを判定するレベル判定回路とを含むGTL入力回路に、例えばそのゲートにレベル判定回路の出力信号の反転遅延信号を受ける第2のMOSFETを第1のMOSFETと並列形態に設け、レベル判定回路のレベル判定結果に従ってこれを選択的にオン状態とし、差動MOSFETのドレイン電圧の直流レベルを選択的に高く又は低くする。

【0007】 上記手段によれば、レベル判定回路による論理レベルの判定結果をもとに、差動MOSFETのドレイン電圧のロウレベル又はハイレベルを選択的にレベル判定回路の論理スレッシホールド電圧に近づけ、レベル判定回路による次のハイレベル又はロウレベルへのレベル遷移の判定動作を高速化することができる。この結果、特にチップ間信号伝達に供されるGTL入力回路の動作を高速化し、これを含む論理集積回路装置等のサイクルタイムを高速化することができる。

## 【0008】

【発明の実施の形態】 図1には、この発明が適用された論理集積回路装置 (半導体装置) に搭載されるGTL入力回路の第1の実施例の回路図が示されている。また、図2には、図1のGTL入力回路の一実施例の信号波形

図が示され、図3には、その一実施例の動作特性図が示されている。これらの図をもとに、この実施例のGTL入力回路の構成及び動作ならびにその特徴について説明する。なお、この実施例のGTL入力回路は、他の図示されない多数の回路とともに、CMOS回路を基本素子とする論理集積回路装置に搭載され、例えば同一のプリント基板上に搭載された他の同様な論理集積回路装置からGTLレベルで供給されるチップ間信号を入力し、CMOSレベルに変換する。図1の各回路素子は、図示されない他の回路素子とともに、公知のCMOS集積回路の製造技術により、単結晶シリコンのような1個の半導体基板上に形成される。以下の回路図において、そのチャンネル（バックゲート）部に矢印が付されるMOSFETはPチャンネル型であって、矢印の付されないNチャンネルMOSFETと区別して示される。

【0009】図1において、この実施例のGTL入力回路は、差動形態とされるPチャンネル型の一对の差動MOSFETP3及びP4を含む。このうち、一方の差動MOSFETP3のゲートには、図示されない外部端子を介して入力信号Vinが供給され、他方の差動MOSFETP4のゲートには、論理集積回路装置の図示されない内部電圧発生回路又は外部から所定の参照電圧Vrefが供給される。

【0010】ここで、入力信号Vinは、特に制限されないが、図2に示されるように、例えば0.8Vのような比較的小さな振幅を有するGTLレベルのデジタル信号とされ、そのハイレベルViH及びロウレベルViLは、例えばそれぞれ0.4V及び1.2Vとされる。また、参照電圧Vrefは、入力信号VinのハイレベルViH及びロウレベルViL間の中間電位例えば0.8Vとされる。

【0011】差動MOSFETP3及びP4の共通結合されたソースは、並列形態とされる2個のPチャンネルMOSFETP1（第1のMOSFET）及びP2（第2のMOSFET）を介して電源電圧VCCに結合され、そのドレインは、Nチャンネル型の一对の負荷MOSFETN1及びN2を介して接地電位VSSに結合される。このうち、MOSFETP1のゲートは、接地電位VSSに結合され、MOSFETP2ゲートは、遅延回路DL1の出力端子つまり内部ノードn3に結合される。また、負荷MOSFETN1のゲートは、負荷MOSFETN2のゲート及びドレインに共通結合される。これにより、MOSFETP1は、差動MOSFETP3及びP4に対する電流源として定常的に作用し、MOSFETP2は、内部ノードn3が接地電位VSSのようなCMOSレベルのロウレベルとされることで選択的に電流源として作用する。また、負荷MOSFETN1及びN2は、いわゆる電流ミラー形態とされ、これらの負荷MOSFETN1及びN2には、電流源MOSFETP1による電流の1/2の電流がそれぞれ定常的に流

れる。なお、電源電圧VCCは、特に制限されないが、+3.3Vのような比較的小さな絶対値の正電位とされる。

【0012】GTL入力回路は、さらに、その入力端子が差動MOSFETP3のドレインつまり内部ノードn1に結合され、この内部ノードn1における電位つまり差動MOSFETP3のドレイン電圧の論理レベルを判定するためのレベル判定回路として作用するCMOSインバータ（以下、単にインバータと称す）V1と、これに直列結合されるもう1個のインバータV2とを含む。このうち、インバータV1の出力端子つまり内部ノードn2における電位は、特に制限されないが、3個の直列インバータV3～V5からなる遅延回路DL1を経た後、上記MOSFETP2のゲートに供給され、インバータV2の出力信号は、GTL入力回路の出力信号Voutとして図示されない後段回路に供給される。

【0013】図2において、入力信号Vinが参照電圧Vrefより低いGTLレベルのロウレベルViLとされるとき、GTL入力回路では、差動MOSFETP3のソース・ドレイン間の電位差は、MOSFETP4のそれよりも小さく、MOSFETN1のドレイン電圧つまり内部ノードn1の電位は、状態AつまりインバータV1の論理スレッシホールド電圧VTL1より高い電位v3とされ、インバータV1の出力信号つまり内部ノードn2の電位は、接地電位VSSのようなCMOSレベルのロウレベルとされる。また、この内部ノードn2のロウレベルを受けて、GTL入力回路の出力信号Voutが電源電圧VCCのようなCMOSレベルのハイレベルとされ、遅延回路DL1の出力信号Voutつまり内部ノードn3の電位が電源電圧VCCのようなCMOSレベルのハイレベルとされる。

【0014】これにより、MOSFETP2はオフ状態とされ、差動MOSFETP3及びP4には、MOSFETP1からなる電流源を介して比較的小さな動作電流が供給される。言うまでもなく、上記内部ノードn1の電位v3は、差動MOSFETP3のドレイン電流と入力信号Vinとにより決定される。また、差動MOSFETP3及びP4には、MOSFETP1から供給される比較的小さな動作電流の1/2がそれぞれ流れる。この結果、内部ノードn1の電位v3は、インバータV1の論理スレッシホールド電圧VTL1より高く、これに近い電位に設定される。

【0015】なお、図3には、入力信号Vinに対するGTL入力回路の内部ノードn1のレベル遷移が実線で示され、GTL入力回路の内部ノードn1に対する出力信号Voutのレベル遷移が点線で示されている。入力信号VinがGTLレベルのロウレベルViLとされるとき、内部ノードn1の電位は点Aつまり電位v3にあり、出力信号Voutは、内部ノードn1の電位v3を受けて点Aつまり電源電圧VCCのようなCMOSレベ

ルのハイレベルV<sub>oH</sub>にある。以下、状態Aないし状態Dに対応して、図3の点Aないし点Dを参照されたい。

【0016】次に、入力信号V<sub>in</sub>がロウレベルV<sub>iL</sub>から参照電圧V<sub>ref</sub>より高いGTLレベルのハイレベルV<sub>iH</sub>に変化されると、GTL入力回路では、差動MOSFETP3及びP4の状態が反転し、差動MOSFETP3のソース・ドレイン間の電位差は、MOSFETP4のそれよりも大きくなる。このため、負荷MOSFETN1のドレイン電圧つまり内部ノードn1の電位は、状態BつまりインバータV1の論理スレッシホールド電圧V<sub>TL1</sub>より低い電位v1に変化される。なお、このときの内部ノードn1の電位v1は、差動MOSFETP3のドレイン電流と入力信号V<sub>in</sub>とによって決定される。また、差動MOSFETP3及びP4には、MOSFETP1から供給される比較的小さな動作電流の1/2がそれぞれ流れる。さらに、内部ノードn1の電位v1は、インバータV1の論理スレッシホールド電圧V<sub>TL1</sub>より低く、これにやや離れた電位とされる。したがって、内部ノードn1がこの電位v1から直接ハイレベルへ変化した場合には、インバータV1の論理スレッシホールド電圧V<sub>TL1</sub>に達するまでの時間が長くなり、GTL入力回路の動作は遅くなる。

【0017】差動MOSFETP3及びP4の状態反転を受けて内部ノードn1の電位が低下し、インバータV1の論理スレッシホールド電圧V<sub>TL1</sub>より低くなると、インバータV1の出力信号つまり内部ノードn2の電位が電源電圧V<sub>CC</sub>のようなCMOSレベルのハイレベルに変化され、この内部ノードn2のハイレベルを受けて、GTL入力回路の出力信号V<sub>out</sub>が接地電位V<sub>SS</sub>のようなCMOSレベルのロウレベルとされる。また、内部ノードn2がハイレベルとされてから遅延回路DL1の遅延時間t<sub>d1</sub>が経過した時点で、遅延回路DL1の出力信号つまり内部ノードn3の電位が接地電位V<sub>SS</sub>のようなCMOSレベルのロウレベルとされ、MOSFETP2がオン状態とされる。これにより、差動MOSFETP3及びP4には、2個のMOSFETP1及びP2からなる電流源を介して比較的大きな動作電流が供給される。このため、内部ノードn1の電位が、動作電流の増加分に相当するΔVだけ上昇して状態Cつまり電位v2に変化し、インバータV1の論理スレッシホールド電圧V<sub>TL1</sub>に近づく。この結果、インバータV1による次のハイレベル変化の判定動作が高速化される。

【0018】一方、入力信号V<sub>in</sub>が再びGTLレベルのハイレベルV<sub>iH</sub>から参照電圧V<sub>ref</sub>より低いロウレベルV<sub>iL</sub>に変化されると、GTL入力回路では、差動MOSFETP3及びP4の状態が再度反転し、差動MOSFETP3のソース・ドレイン間の電位差は、MOSFETP4のそれよりも小さくなる。このため、内部ノードn1の電位が負荷MOSFETN1への電流変

化を受けて上昇し、状態DつまりインバータV1の論理スレッシホールド電圧V<sub>TL1</sub>より高い電位v4に変化される。このとき、内部ノードn1の電位v4は、差動MOSFETP3のドレイン電流と入力信号V<sub>in</sub>とにより決定される。また、差動MOSFETP3及びP4のドレイン電流は、MOSFETP1及びP2から供給される比較的大きな動作電流の1/2がそれぞれに流れる。電位v4は、インバータV1の論理スレッシホールド電圧V<sub>TL1</sub>より高く、これにやや離れた電位とされる。したがって、内部ノードn1の電位がこの電位v4から直接ロウレベルへ変化した場合には、インバータV1の論理スレッシホールド電圧V<sub>TL1</sub>に達するまでの時間が長くなり、GTL入力回路の動作が遅くなる。

【0019】差動MOSFETP3及びP4の状態反転を受けて内部ノードn1の電位が上昇し、インバータV1の論理スレッシホールド電圧V<sub>TL1</sub>より高くなると、内部ノードn2の電位が接地電位V<sub>SS</sub>のようなCMOSレベルのロウレベルに変化され、この内部ノードn2のロウレベルを受けて、GTL入力回路の出力信号V<sub>out</sub>が電源電圧V<sub>CC</sub>のようなCMOSレベルのハイレベルとされる。また、内部ノードn2がロウレベルとされてから遅延回路DL1の遅延時間t<sub>d1</sub>が経過した時点で、内部ノードn3の電位が電源電圧V<sub>CC</sub>のようなCMOSレベルのハイレベルとされ、MOSFETP2がオフ状態とされる。これにより、差動MOSFETP3及びP4に流される動作電流の値が、MOSFETP1のみによる比較的小さな値に減少する。このため、内部ノードn1の電位が、動作電流の減少分に相当するΔVだけ低下して最初の状態Aつまり電位v3に変化し、インバータV1の論理スレッシホールド電圧V<sub>TL1</sub>に近づく。この結果、インバータV1による次のロウレベル変化の判定動作が高速化される。

【0020】このように、この実施例のGTL入力回路では、差動MOSFETP3及びP4の共通結合されたソースと電源電圧V<sub>CC</sub>との間に設けられ電流源として作用するMOSFETP1と並列形態に、レベル判定回路つまりインバータV1の出力信号の遅延回路DL1による反転遅延信号を受けるMOSFETP2が設けられ、このMOSFETP2が選択的にオン状態とされることで、差動MOSFETP3及びP4に対する動作電流の値が選択的に切り換えられる。このため、内部ノードn1つまり差動MOSFETP3のドレイン電圧の直流レベルが、インバータV1のレベル判定結果に従って選択的にシフトされ、内部ノードn1のロウレベル及びハイレベル時における電位が、インバータV1の次のハイレベル又はロウレベル判定のための論理スレッシホールド電圧V<sub>TL1</sub>に近づけられる。言い換えるならば、図3からも明らかなように、GTL入力回路の内部ノードn1における電位変化とそのインバータV1によるレベル判定動作が、いわゆるヒステリシスな特性を呈するも

のとなる訳であり、これによってインバータV1の判定動作が高速化される。この結果、GTL入力回路の動作が高速化され、これを搭載する論理集積回路装置のサイクルタイムが高速化される。

【0021】図4には、この発明が適用された論理集積回路装置に搭載される小振幅入力回路の第2の実施例の回路図が示されている。また、図5には、図4の小振幅入力回路の一実施例の信号波形図が示され、図6には、その一実施例の動作特性図が示されている。なお、この実施例の小振幅入力回路は、MOSFETの導電型が互いに入れ替わっていることを除いて前記図1ないし図3の実施例を基本的に踏襲するものであるため、これと異なる部分についてのみ説明を追加する。図4のインバータV6及びV7は、図1のインバータV1及びV2にそれぞれ対応し、図2の遅延回路DL2を構成するインバータV8ないしV10は、図1の遅延回路DL1を構成するインバータV3ないしV5にそれぞれ対応する。

【0022】図4において、この実施例の小振幅入力回路は、Nチャンネル型の差動MOSFETN3及びN4を中心に構成され、これらの差動MOSFETN3及びN4の共通結合されたソースと接地電位VSSとの間には、電流源として作用するNチャンネルMOSFETN5（第1のMOSFET）及びN6（第2のMOSFET）が並列形態に設けられる。このうち、MOSFETN5のゲートは電源電圧VCCに結合され、MOSFETN6のゲートは、遅延回路DL2の出力端子つまり内部ノードn6に結合される。差動MOSFETN3及びN4のドレイン側には、Pチャンネル型の一对の負荷MOSFETP5及びP6がミラー形態に設けられる。また、差動MOSFETN4のドレインつまり内部ノードn4は、レベル判定回路となるインバータV6の入力端子に結合され、このインバータV6の出力端子つまり内部ノードn5における電位は、インバータV7により反転されて小振幅入力回路の出力信号Voutとなり、また遅延回路DL2により遅延反転されて上記MOSFETN6のゲートに供給される。

【0023】入力信号Vinが小振幅レベルのロウレベルVilとされるとき、小振幅入力回路の内部ノードn4は、図5及び図6に示されるように、状態EつまりインバータV6の論理スレッシュホルド電圧VTL6よりも高い電位v7とされる。このため、内部ノードn5は、CMOSレベルのロウレベルとされ、小振幅入力回路の出力信号Voutは、CMOSレベルのハイレベルとされる。また、内部ノードn5のロウレベルを受けて内部ノードn6がCMOSレベルのハイレベルとされ、この内部ノードn6のハイレベルを受けてMOSFETN6がオン状態とされる。これにより、差動MOSFETN3及びN4には、2個のMOSFETN5及びN6を介して比較的大きな動作電流が供給される。また、MOSFETP3及びP4には、この動作電流の1/2がそれ

ぞれ流れ、その電流と入力信号Vinとにより上記電位v7のレベルが決定される。

【0024】次に、入力信号Vinが小振幅レベルのハイレベルVihに変化されると、小振幅入力回路では、差動MOSFETN3及びN4の状態が反転し、内部ノードn4は、状態FつまりインバータV6の論理スレッシュホルド電圧VTL6より低い電位v5に変化される。また、これを受けて内部ノードn5が電源電圧VCCのようなCMOSレベルのハイレベルに変化され、この内部ノードn5のハイレベルを受けて、小振幅入力回路の出力信号Voutが接地電位VSSのようなCMOSレベルのロウレベルとされる。さらに、内部ノードn5がハイレベルとされてから遅延回路DL2の遅延時間td2が経過した時点で、内部ノードn6が接地電位VSSのようなCMOSレベルのロウレベルとされ、MOSFETN6がオフ状態とされる。このため、差動MOSFETN3及びN4に供給される動作電流の値が小さくされ、内部ノードn4の電位が、この動作電流の減少分に相当するΔVだけ上昇して状態Gつまり電位v6に変化する。この結果、インバータV6の論理スレッシュホルド電圧VTL6に近づき、これによってインバータV6による次のハイレベル変化の判定動作が高速化される。

【0025】一方、入力信号Vinが再びロウレベルVilに変化されると、小振幅入力回路では、差動MOSFETN3及びN4の状態が再度反転し、その内部ノードn4は、状態HつまりインバータV6の論理スレッシュホルド電圧VTL6より高い電位v8に変化される。また、内部ノードn4の電位がインバータV6の論理スレッシュホルド電圧VTL6を超えた時点で、内部ノードn5が接地電位VSSのようなCMOSレベルのロウレベルに変化され、この内部ノードn5のロウレベルを受けて、小振幅入力回路の出力信号Voutが電源電圧VCCのようなCMOSレベルのハイレベルとされる。また、内部ノードn5がロウレベルとされてから遅延回路DL2の遅延時間td2が経過した時点で、内部ノードn6が電源電圧VCCのようなCMOSレベルのハイレベルとされ、MOSFETP6が再度オン状態とされる。これにより、差動MOSFETN3及びN4に供給される動作電流の値が大きくなり、内部ノードn4の電位が、動作電流の増加分に相当するΔVだけ低下して最初の状態Eつまり電位v7に変化する。この結果、インバータV6の論理スレッシュホルド電圧VTL6に近づき、これによってインバータV6による次のロウレベル変化の判定動作が高速化される。

【0026】このように、この実施例の小振幅入力回路でも、差動MOSFETN3及びN4の共通結合されたソースと接地電位VSSとの間に設けられ電流源として作用するMOSFETN5と並列形態に、レベル判定回路つまりインバータV6の出力信号の遅延回路DL2による反転遅延信号を受けるMOSFETN6が設けら

れ、このMOSFETN6が選択的にオン状態とされることで、差動MOSFETN3及びN4に対する動作電流の値が選択的に切り換えられ、内部ノードn4の直流レベルが選択的にシフトされる。この結果、この実施例においても、前記図1ないし図3の実施例と同様、小振幅入力回路の動作を高速化し、論理集積回路装置のサイクルタイムを高速化することができるものである。

【0027】以上の実施例から得られる作用効果は、下記の通りである。すなわち、

(1) GTLレベルでチップ間信号を伝達する論理集積回路装置等に搭載され、少なくともその一方のゲートにGT Lレベルの入力信号を受ける差動MOSFETと、これらの差動MOSFETに動作電流を供給する第1のMOSFETと、CMOSインバータ等からなりその論理スレッシホールド電圧をもって差動MOSFETのドレイン電圧の論理レベルを判定するレベル判定回路とを含むGT L入力回路に、例えばそのゲートにレベル判定回路の出力信号の反転遅延信号を受ける第2のMOSFETを第1のMOSFETと並列形態に設け、レベル判定回路のレベル判定結果に従って第2のMOSFETを選択的にオン状態とし、差動MOSFETのドレイン電圧の直流レベルを選択的に高く又は低くすることで、レベル判定回路による論理レベルの判定結果をもとに、差動MOSFETのドレイン電圧のロウレベル又はハイレベルを選択的にレベル判定回路の論理スレッシホールド電圧に近づけることができるという効果が得られる。

(2) 上記(1)項により、レベル判定回路による次のハイレベル又はロウレベルへのレベル遷移の判定動作を高速化できるという効果が得られる。

(3) 上記(1)項及び(2)項により、特にチップ間信号伝達に供されるGT L入力回路の動作を高速化し、これを含む論理集積回路装置等のサイクルタイムを高速化することができるという効果が得られる。

【0028】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は、上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。例えば、図1及び図4において、差動MOSFETP4及びN4のゲートには、参照電圧Vrefに代えて入力信号Vinの反転信号を供給してもよい。また、電流源たるMOSFETP1又はN5に並列形態に設けられるMOSFETP2及びN6は、それぞれ2個以上のMOSFETを並列結合したものであってもよい。レベル判定回路となるインバータV1及びV6は、例えば所定の論理スレッシホールド電圧を有する差動回路に置き換えることができる。また、遅延回路DL1及びDL2は、任意数のインバータにより構成できるし、例えばキャパシタを含むものであってもよい。内部ノードn1又はn4における電位の直流レベルのシフトは、例えば負荷MOSFETのコンダクタンスを選択的に切り換えることにより

行ってもよい。さらに、GT L入力回路の具体的構成は、この実施例による制約を受けないし、その電源電圧の極性及び絶対値も、この実施例の限りではない。

【0029】図2及び図5において、入力信号VinのハイレベルViH及びロウレベルViLの絶対値は、任意に設定できる。また、入力信号Vin、内部ノードn1ないしn3ならびに出力信号Voutの具体的レベル及び時間関係ならびにその有効レベル等は、これらの実施例による制約を受けない。

【0030】以上の説明では、主として本発明者によってなされた発明をその背景となった利用分野であるチップ間信号を受けるGT L入力回路ならびにこれを搭載する論理集積回路装置に適用した場合について説明したが、それに限定されるものではなく、例えば、チップ内のバス信号を受けるGT L入力回路や同様な差動回路を含みGT Lレベル以外のデジタル信号を受ける他の各種入力回路ならびにこのような入力回路を含む各種デジタル集積回路装置にも適用できる。この発明は、少なくとも差動回路を含む入力回路を搭載する半導体装置ならびにこのような半導体装置を含む装置又はシステムに広く適用できる。

【0031】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、GT Lレベルでチップ間信号を伝達する論理集積回路装置等に搭載され、少なくともその一方のゲートにGT Lレベルの入力信号を受ける差動MOSFETと、これらの差動MOSFETに動作電流を供給する第1のMOSFETと、インバータ等からなりその論理スレッシホールド電圧をもって差動MOSFETのドレイン電圧の論理レベルを判定するレベル判定回路とを含むGT L入力回路に、例えばそのゲートにレベル判定回路の出力信号の反転遅延信号を受ける第2のMOSFETを第1のMOSFETと並列形態に設け、レベル判定回路のレベル判定結果に従ってこれを選択的にオン状態とし、差動MOSFETのドレイン電圧の直流レベルを選択的に高く又は低くすることで、レベル判定回路による論理レベルの判定結果をもとに、差動MOSFETのドレイン電圧のロウレベル又はハイレベルを選択的にレベル判定回路の論理スレッシホールド電圧に近づけ、レベル判定回路による次のハイレベル又はロウレベルへのレベル遷移の判定動作を高速化することができる。この結果、特にチップ間信号伝達に供されるGT L入力回路の動作を高速化し、これを含む論理集積回路装置等のサイクルタイムを高速化することができる。

【図面の簡単な説明】

【図1】この発明が適用された論理集積回路装置に搭載されるGT L入力回路の第1の実施例を示す回路図である。

【図2】図1のGT L入力回路の一実施例を示す信号波

形図である。

【図3】図1のGTL入力回路の一実施例を示す動作特性図である。

【図4】この発明が適用された論理集積回路装置に搭載されるGTL入力回路の第2の実施例を示す回路図である。

【図5】図4のGTL入力回路の一実施例を示す信号波形図である。

【図6】図4のGTL入力回路の一実施例を示す動作特性図である。

【図7】この発明に先立って本願発明者等が開発した論理集積回路装置に搭載されるGTL入力回路の一例を示す回路図である。

【図8】図7のGTL入力回路の一例を示す信号波形図

である。

【図9】図7のGTL入力回路の一例を示す動作特性図である。

【符号の説明】

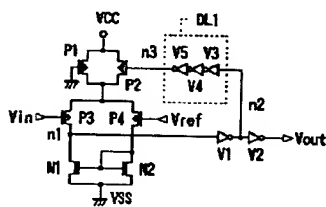
P1~P9……PチャンネルMOSFET、N1~N8……NチャンネルMOSFET、V1~V12……インバータ、DL1~DL2……遅延回路、n1~n8……内部ノード、VCC……電源電圧、VSS……接地電位、Vin……入力信号、ViL……入力信号ロウレベル、ViH……入力信号ハイレベル、Vref……参照電圧、Vout……出力信号、VoL……出力信号ロウレベル、VoH……出力信号ハイレベル、VLT1、VLT6、VLT11……インバータV1、V6ならびにV11の論理スレッシホールド電圧。

【図1】

【図2】

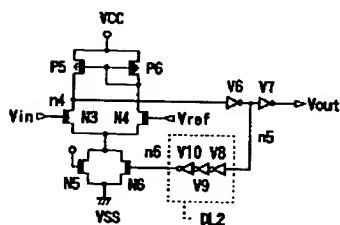
【図3】

図1 GTL入力回路の回路構成 (実施例1)



【図4】

図4 GTL入力回路の回路構成 (実施例2)



【図7】

図7 GTL入力回路の回路構成

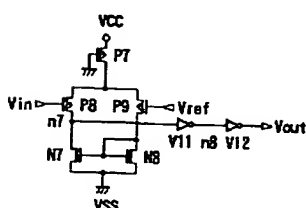
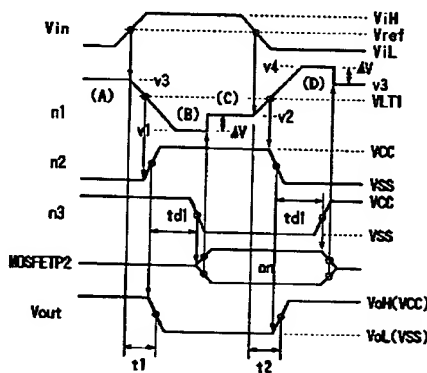


図2 GTL入力回路の信号波形 (実施例1)



【図5】

図5 GTL入力回路の信号波形 (実施例2)

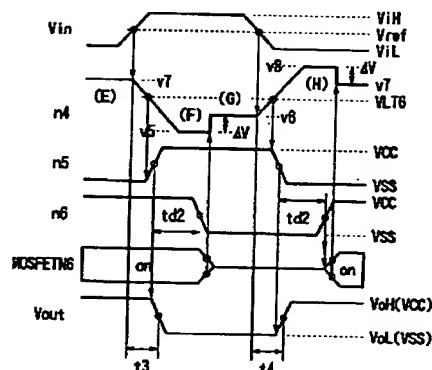
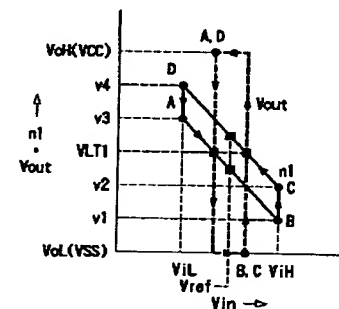
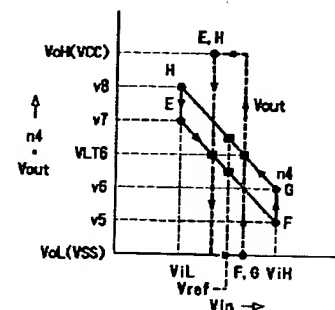


図3 GTL入力回路の動作特性 (実施例1)



【図6】

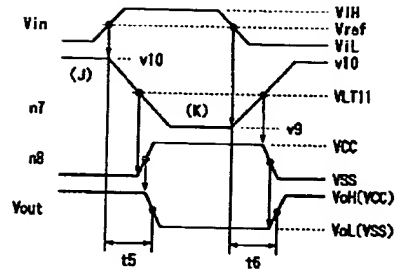
図6 GTL入力回路の動作特性 (実施例2)





【図8】

図8 GTL入力回路の信号波形



【図9】

図9 GTL入力回路の動作特性

